

## BEST AVAILABLE COPY

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
 ⑫ 公開特許公報 (A) 昭55—62799

⑬ Int. Cl.<sup>3</sup>  
 H 05 K 3/46  
 1/16

識別記号

庁内整理番号  
 6375—5F  
 6370—5F

⑭ 公開 昭和55年(1980)5月12日

発明の数 1  
 審査請求 未請求

(全 3 頁)

⑮ 厚膜多層基板の製造方法

⑯ 特 願 昭53—135272

⑰ 出 願 昭53(1978)11月2日

⑱ 発 明 者 鈴木貴博

東京都品川区大崎2丁目1番17  
 号株式会社明電舎内

⑲ 発 明 者 藤井利宜

東京都品川区大崎2丁目1番17  
 号株式会社明電舎内

⑳ 出 願 人 株式会社明電舎

東京都品川区大崎2丁目1番17  
 号

㉑ 代 理 人 弁理士 志賀富士弥

明 細 書

1 発明の名称

厚膜多層基板の製造方法

2 特許請求の範囲

(1) 基板に第1電極を印刷した後、その第1電極上に第1絶縁層を印刷し、この第1絶縁層上に軟化点の異なる第2絶縁層を印刷した後、これらを所定時間焼成したことを特徴とする厚膜多層基板の製造方法。

(2) 第1絶縁層に結晶化ガラス、ペーストを、第2絶縁層に非晶化ガラスペーストを用い、後者のペーストの軟化点を前者のペーストの軟化点より低く設定したことを特徴とする特許請求の範囲第1項記載の厚膜多層基板の製造方法。

3 発明の詳細な説明

この発明は厚膜多層基板の製造方法に関する。

厚膜集成集積回路は、近年集積度が増加する傾向にある。このため、上記回路の製造においては回路の形成が平面だけでなく、さらに多層化されるようになってきた。特に厚膜集成集積回路では多層化するにはセラミック基板上に第1層の電極あるいは抵抗体素子を印刷し、この第1層の上に絶縁層をさらに印刷し、この絶縁層の上に第2層の電極あるいは抵抗体素子を印刷した後、焼成して製造する手段が用いられている。上記のような集積回路の製造においては電極あるいは抵抗体素子以外の絶縁層も印刷、焼成によつて形成する手段を用いている。すなわち、2層の厚膜集積回路の電極形成においては最低8回の印刷、焼成工程を行なう必要がある。特に印刷工程に要する時間

は1印につき数秒であるけれども、焼成工程に要する時間は1時間以上も要す。このため、多層化すると集積回路の製造時間は増大する欠点がある。

次に従来の厚膜形成集積回路の製造方法を第1図A、B乃至第8図A、Bを用いて述べる。第1図A、Bにおいて、セラミック基板/(98%アルミナ基板)の上面に第1電極2を導体ペースト(AuまたはAg/Pdペースト)で印刷した後、780~1000°Cの温度で1時間焼成する。この焼成後、第1電極2の一部に第1絶縁層3を結晶ガラスペーストで印刷した後、前記焼成温度より低い温度で焼成する。この後、第1絶縁層3の上に第2絶縁層4を結晶化ガラスペーストで印刷する。この第2絶縁層4を設けるのは第1絶縁層3のピンホール3を強めるためである。第2絶縁層4の上面に

8

第8図Aに示すように制御されたりする欠点がある。この他、第1電極2に使用されるAg/PdペーストではPd(パラジウム)よりO<sub>2</sub>が放出されボイドが出やすくなる欠点がある。

この発明は上記の欠点を除去し、焼成時間の短縮を図るとともにクラック等の発生を防止することが出来る厚膜多層基板の製造方法を提供することを目的とする。

以下図面を参照してこの発明の一実施例を説明する。

第4図および第5図A、Bにおいて、セラミック基板/(98%アルミナ基板)上面に第1電極13を印刷し、この第1電極13の上に第1絶縁層14を印刷する。この第1絶縁層14はホウ素B、ケイ素Si、マグネシウムMg、マンガニンMnの酸化物よりな

5

特開 昭55-62799(2)

は第2電極4を前記と同様に導体ペーストで印刷し、前記第2絶縁層4とともに焼成する。7は抵抗体で、この抵抗体7も印刷した後焼成される。このように従来の製造方法では8回以上も焼成する必要があり、製造には多大な時間を要した。そこで、第1電極2、第1絶縁層3、第2絶縁層4および第2電極4をそれぞれ印刷した後、4層を同時に焼成すると、第1、第2絶縁層3、4は同一成分なので、焼成中に1つの層になつてしまう。この結果、第2図A、Bに示すように第1電極2のペーストと第1絶縁層3のペーストとの割合合せによつて絶縁層4にはピンホール5が発生したり、また第1電極2と絶縁層3の間に基板/ペーストとの膨張率の差によりクラック6が発生したりする。さらに絶縁層3と第2電極4との間には

4

る結晶化ガラスペーストで、このペーストは軟化点約700°C $\alpha$ (熱膨張係数) $=6.8 \times 10^{-6}/^{\circ}\text{C}$ のもを用いる。前記第1絶縁層14の上には第2絶縁層16を印刷する。この第2絶縁層16はホウ素B、ケイ素Si、ZnO、イリジウムIrの酸化物よりなる非晶化ガラスペーストで、このペーストは前記ペーストより軟化点が100°Cで、 $\alpha = 6.8 \times 10^{-6}/^{\circ}\text{C}$ のものである。前記第2絶縁層16が印刷された後、第2電極15を印刷し、約850°Cで40分間焼成する。この焼成時、第1、第2絶縁層13、14のペーストの軟化点が異なるため、第1絶縁層13に第5図A、Bに示すピンホール16やクラック17が発生しても、第2絶縁層16がピンホール16やクラック17の箇所に流れ込んで埋込まれる。これは両絶縁層13、14は同質系統の材質で形成されているため、両者は

6

特開 昭55-62799 (2)

なじみよくピンホールやクラックを確実に増  
める。しかし軟化点の差および絶縁条件を適当に  
選べば両者は層積混合することはない。このよう  
な作用のために、第1、第2電極12、13の間の絶  
縁は十分に保たれる。18は抵抗体である。

上記のようにして製造された厚膜多層基板を直  
流電圧500V印加で85°Cの高熱中で試験をした結  
果、約5000時間無事故であつた。これは100V  
80°Cで20年の耐久性があることに相当する。また  
初期絶縁抵抗 $\Omega$ および耐電圧( $V_{BD}$ )Vを従来例の  
ものと比較すると表のようになる。

	$\rho$ ( $\Omega$ )	$V_{BD}$ (V)
従 来 例	$1 \times 10^4$	1000以上
この発明の実施例	$0.8 \times 10^4$	1000以上

以上述べたようにこの発明によれば、第1、第2

電極および絶縁層を1度の焼成により厚膜多層基  
板を製造するようにしたので、極めて短時間で基  
板製作が可能であるとともに、絶縁層を軟化点の  
異なる材質のものを用いたのでクラック等の発生  
を防止することができる等の利点がある。

4図面の簡単な説明

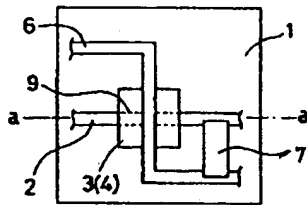
第1図A、B乃至第8図A、Bは従来例に示す  
もので、第1図Aは平面図、第1図Bは第1図A  
のa-a線断面図、第2図A、Bおよび第3図A、  
Bは従来例の異なる例を説明するための各部抽出  
断面図、第4図はこの発明の一実施例を示す平面  
図、第5図A、Bは第4図の各部の断面図である。

11—セラミック基板、12—第1電極、13—第1  
絶縁層、14—第2絶縁層、15—第2電極。

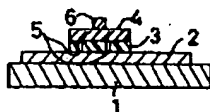
代理人 志 賀 幸 士 弥

8

第 1 図  
(A)



(B)



第 2 図

(A)



(B)



第 3 図

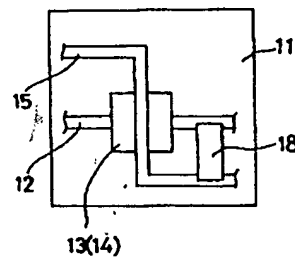
(A)



(B)

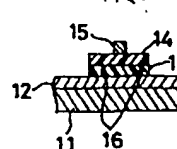


第 4 図



第 5 図

(A)



(B)

